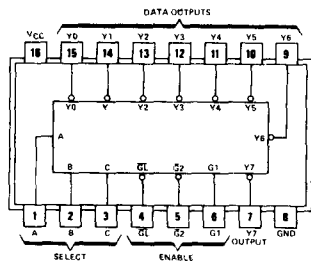


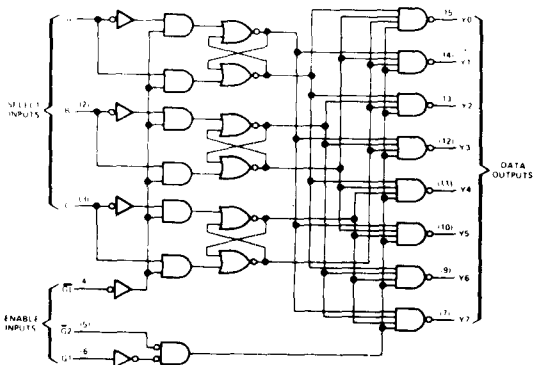
74137

3 to 8 Decoder (with Address Latches)



25LS2536はエッジトリガだが、これはレベル
なので単なるデコーダ的に使用可能

入 力			動 作
G_1	G_2	G_3	
X	H	—	全出力H
L	X	—	負論理
H	L	L	ラッチ デコード
X	X	H	



項目	大小	入力	IN	出力	OUT	N	LS	ALS	ALS/F	S	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max	A, B, C		Y0~Y7			38	20			20	7.1		60	60				ns
tpd	max	G1		Y0~Y7			27	17			12	6.2		49	49				ns
tpd	max	-G2		Y0~Y7			27	15			12	5.4		49	49				ns
tpd	max	-G3		Y0~Y7			38	22			20	5.4		63	63				ns
tcc	max	ALL	L				18	11			95	16		0.08	0.08				ns
tw	min	-GL					10				7			20	20				ns
tsu	min	A, B, C					10				6.5			25	25				ns
thold	min	A, B, C					5				0			13	13				ns
I1H	max	ENABLE	H				20	20			50								μA
I1L	max	ENABLE	L				0.4	0.1			2	0.05							μA
I1H	max	A, B, C	H				20	20			50								μA
I1L	max	A, B, C	L				0.2	0.1			2	0.05							μA
I0H	max		ALL	H			0.4	0.4			1	2		4	4				μA
I0L	max		ALL	L			8	8			20	20		4	4				μA

参考品種
25LS2536
74138

社名	N	LS	ALS	ALS/F	S	AS	AC	ACT	HC	HCU	HCT	BC	BCT
日立									DF		DF		
JRC									DF				
MOT		DF							DF				
日電									DF				
NS			DF										
沖													
PHIL									DF		DF		
RCA									DF				
三洋									DF				
SIGNE													
TI			DF						DF				
東芝									DF		DF		